

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Long-Sheng LIAO, et al.)
)
 Serial No.: Not yet assigned) Group: Not yet assigned
)
 Filed: Concurrently herewith) Examiner: Not yet assigned
)
 For: "A BUFFER LAYER FOR PROMOTING) Our Ref: B-5346 621633-2
 ELECTRON MOBILITY AND THIN FILM))
 TRANSISTOR HAVING THE SAME") Date: January 7, 2004

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

MAIL STOP PATENT APPLICATION
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, VA 22313-1450

Sir:

[X] Applicants hereby make a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

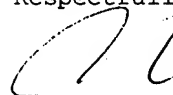
| <u>COUNTRY</u> | <u>FILING DATE</u> | <u>SERIAL NUMBER</u> |
|----------------|--------------------|----------------------|
| TAIWAN, R.O.C. | 7 January 2003 | 92100245 |

[] A certified copy of each of the above-noted patent applications was filed with the Parent Application No. _____.

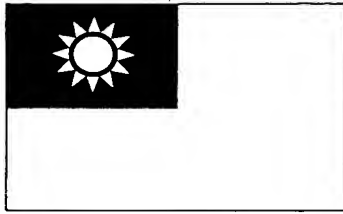
[X] To support applicant's claim, a certified copy of the above-identified foreign patent application is enclosed herewith.

[] The priority document will be forwarded to the Patent Office when required or prior to issuance.

Respectfully submitted,


 Richard P. Berg
 Attorney for Applicant
 Reg. No. 28,145

LADAS & PARRY
 5670 Wilshire Boulevard
 Suite 2100
 Los Angeles, CA 90036
 Telephone: (323) 934-2300
 Telefax: (323) 934-0202



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 07 日
Application Date

申請案號：092100245
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 2 月 17 日
Issue Date

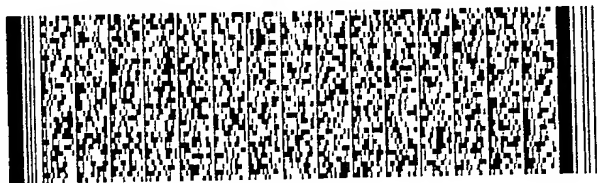
發文字號：09220147050
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|---|
| 一、 發明名稱 | 中 文 | 可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體 |
| | 英 文 | |
| 二、 發明人 (共3人) | 姓 名 (中文) | 1. 廖龍盛 2. 林昆志 3. 彭佳添 |
| | 姓 名 (英文) | 1. Long-Sheng Liao 2. Kun-Chih Lin 3. Chia-Tien Peng |
| | 國 籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW |
| | 住居所 (中 文) | 1. 桃園縣中壢市中和路161號之1 2. 新竹縣竹東鎮中興路二段378巷5號6樓 3. 新竹縣竹北市白地街239巷9弄10號 |
| | 住居所 (英 文) | 1. 2. 3. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 友達光電股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. |
| | 國 籍 (中英文) | 1. 中華民國 ROC |
| | 住居所 (營業所) (中 文) | 1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. |
| | 代表人 (中文) | 1. 李焜耀 |
| | 代表人 (英文) | 1. |



0532-8725TW/fn1x4101182-Eolios.pd

四、中文發明摘要 (發明名稱：可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體)

本發明提出一種可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體。本發明之緩衝層包括：一設置於基板表面之非晶質矽層(a-Si)；以及一設置於非晶質矽層(a-Si)表面之氧化層。由於非晶質矽不僅具有相當高的密度，可用以阻擋上述玻璃基板中的雜質於後續製程中擴散進入元件的作用層(例如：半導體活性層)，另外，非晶質矽具有高熱導係數的特點，可使後續進行雷射退火結晶(ELA)製程使非晶質矽轉變為多晶矽時，改變散熱的狀態，使得結晶的均勻性得以提昇，如此一來，便可提升電子遷移率。

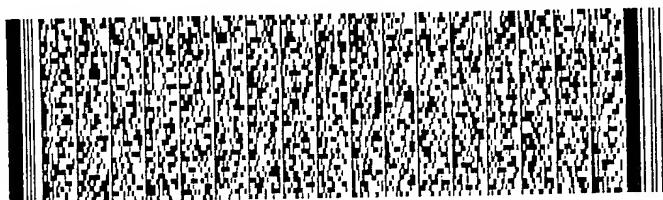
伍、(一)、本案代表圖為：第1圖。

(二)、本案代表圖之元件代表符號簡單說明：

200、300~基板；

202、304~非晶質矽層；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體)

204、306~ 氧化矽緩衝層；

206、308~ 非晶質矽活性層；

206a~ 多晶矽活性層；

208~ 氧化層；

210~ 閘極；

S~ 源極；

D~ 汲極；

212~ 介電層；

214~ 導電插塞。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

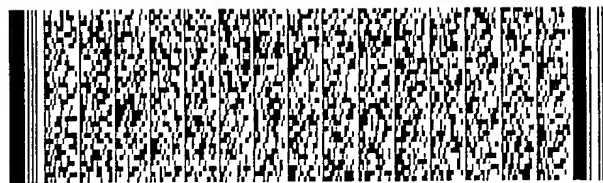
【發明所屬之技術領域】

本發明係有關於一種薄膜電晶體(thin film transistor; TFT)之緩衝層，且特別是有關於一種可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體。

【先前技術】

習知驅動液晶顯示裝置的方法中，主要用來做為影像顯示的即為薄膜電晶體的方式，而目前常見的薄膜電晶體主要有非晶矽薄膜電晶體(a-Si:H TFT)及多晶矽薄膜電晶體(poly-Si TFT)兩種。多晶矽又可分為高溫多晶矽(high temperature poly silicon; HTPS)與低溫多晶矽(low temperature poly silicon; LTPS)兩種。

習知之低溫多晶矽薄膜電晶體是利用準分子雷射作為熱源，雷射光經過投射系統後，會產生能量均勻分布的雷射光束，投射於非晶矽結構的玻璃基板上，當非晶矽結構玻璃基板吸收準分子雷射的能量後，會轉變成為多晶矽結構。低溫多晶矽薄膜電晶體之結構於非晶矽活性層與玻璃基板之間通常會設置一緩衝層(buffer)，緩衝層的主要功能不僅在於增加玻璃基板與其表面之各作用層之間的附著性，更可提供阻擋玻璃基板內部之雜質於製程中擴散進入各作用層的功用。傳統之緩衝層通常係以厚度約為3000 Å的氧化矽(SiO_x)所構成，但是由於如此厚的氧化矽層製作必需耗費相當多的時間，會造成元件成本的增加，因此，一種具有 $\text{SiO}_x/\text{SiN}_x$ 雙層材質的緩衝層被提出來，該雙層材



五、發明說明 (2)

質緩衝層係以 SiN_x 取代部分 SiO_x ，減少緩衝層的厚度，以減少製造時間，降低成本，其中 SiO_x 之厚度約為 1500 \AA ，而 SiN_x 之厚度約為 500 \AA 。

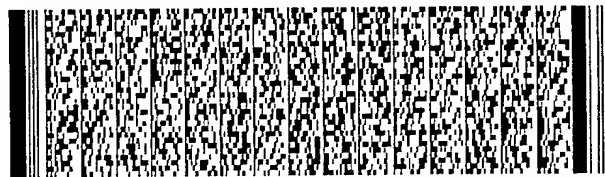
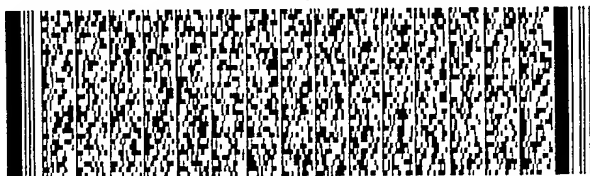
然而，西元2002年Naoya等人於期刊 (Active-Matrix Liquid-Crystal Displays-TFT) 發表 "Crystal Growth Mechanism of Polystrialline Si by Excimer Laser Annealing Considering hydrogen Molecule and Thermal Conductance" 指出在針對形成於緩衝層表面的非晶質矽層進行雷射退火結晶(excimer laser annealing; ELA) 製程時， SiN_x 緩衝層內部所含有的氫氣會穿過 SiO_x 緩衝層進入設置於緩衝層上方的非晶質矽半導體層中，產生一應力(stress)而阻礙晶粒成長(grain growth)，使得晶粒尺寸縮小，進而降低元件的電子遷移率。

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種可促進電子遷移率提升之緩衝層，可適用於薄膜電晶體(TFT)。

【發明內容】

本發明之目的之一在於提供一種可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體，以阻擋薄膜電晶體(TFT)之玻璃基板中的雜質擴散進入各作用層。

本發明之目的之二在於提供一種可促進電子遷移率提升之緩衝層與具有該緩衝層之薄膜電晶體，該緩衝層具有



五、發明說明 (3)

高熱導係數(thermal conductivity coefficient)，可促使非晶質矽半導體層轉變成結晶矽時之晶粒均勻成長，進而提升元件之電子遷移率。

為獲致上述之目的，本發明提出一種可促進電子遷移率提升之緩衝層，適用於一薄膜電晶體平面顯示器之基板表面；上述緩衝層包括：一設置於上述基板表面之非晶質矽層(a-Si)；以及一設置於上述非晶質矽層(a-Si)表面之氧化層。

根據本發明，上述氧化層之材質可包括：氧化矽(SiO_x)，其厚度大體為1000~2000 Å，其密度大體為2.0~2.2 g/cm³，熱導係數(Thermal Conductivity)大體為1.2~1.4 Wm⁻¹ K⁻¹，並且可利用電漿增進式化學氣相沉積法(plasma enhanced chemical vapor deposition; PECVD)形成。

本發明之特徵在於上述非晶質矽層(a-Si)，由於非晶質矽不僅具有相當高的密度，可用以阻擋上述玻璃基板中的雜質於後續製程中擴散進入元件的作用層(例如：半導體活性層)，而且非晶質矽尚具有高熱導係數的特點，可使後續進行雷射退火結晶(ELA)製程使非晶質矽轉變為多晶矽時，改變散熱的狀態，使得結晶的均勻性得以提昇，如此一來，便可提升電子遷移率。根據本發明，上述非晶質矽層(a-Si)之厚度大體為250~1000 Å，其密度大體為2~2.3 g/cm³，再者，其氫含量大體為1~5%，並且，上述非晶質矽層(a-Si)可利用電漿增進式化學氣相沉積法等其他方法



五、發明說明 (4)

行成(plasma enhanced chemical vapor deposition ; PECVD)形成。

如前所述，本發明之緩衝層更可包括：一氮化物緩衝層，例如：氮化矽 SiN_x ，設置於上述基板與上述非晶質矽層(a-Si)之間。

本發明之可促進電子遷移率提升的緩衝層可適用於習知之薄膜電晶體。

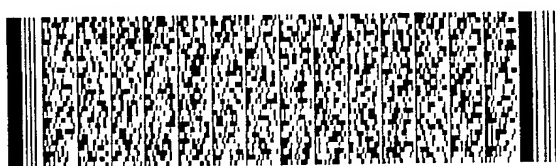
為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下請配合參考第1圖與第2圖之結構剖面圖，以說明根據本發明之一較佳實施例。

首先，請參閱第1圖，本發明之緩衝層202、204，可適用於一薄膜電晶體平面顯示器之基板200表面，通常係以玻璃作為基板200。本發明之緩衝層202、204可包括：一非晶質矽層(a-Si)202與一氧化層204。非晶質矽層(a-Si)202設置於基板200表面，且氧化層204設置於非晶質矽層(a-Si)202表面。本發明之緩衝層202、204表面可設置一非晶質矽活性層206。

非晶質矽層202可利用電漿增進式化學氣相沉積法(plasma enhanced chemical vapor deposition ; PECVD)



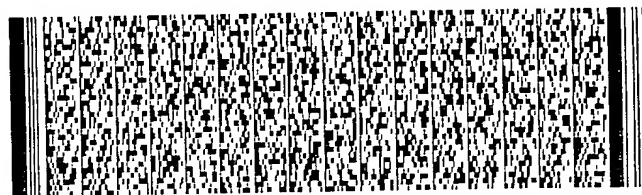
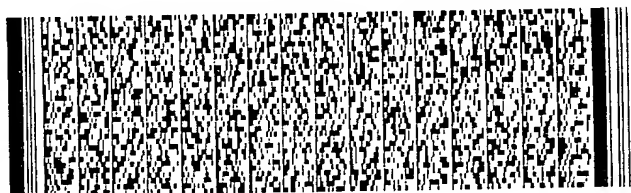
五、發明說明 (5)

形成。並且，非晶質矽層202之厚度大體為250~1000 Å，其密度大體為2~2.3g/cm³。再者，非晶質矽層202之氫含量大體為1~5%，熱導係數(Thermal Conductivity)大體為80~150 Wm⁻¹ K⁻¹，較少於習知SiN_x緩衝層之氫含量，可避免習知來自於SiN_x緩衝層之氫氣於後續進行雷射退火結晶(excimer laser annealing; ELA)製程時進入多晶細活性層而阻礙其晶粒成長的問題。

氧化層204可利用電漿增進式化學氣相沉積法(plasma enhanced chemical vapor deposition; PECVD)形成，其前驅物包括四乙烷基氧矽酸鹽(tetraethyl orthosilicate Si(OC₂H₅)₄; TEOS)。並且，氧化層204之材質可包括：氧化矽(SiO_x)，其厚度大體為1000~2000 Å，其密度大體為2.0~2.2 g/cm³。

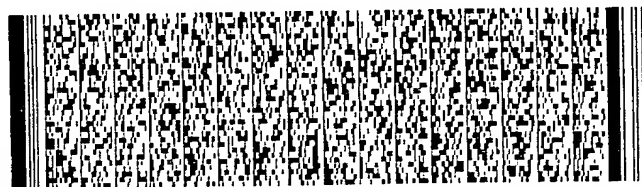
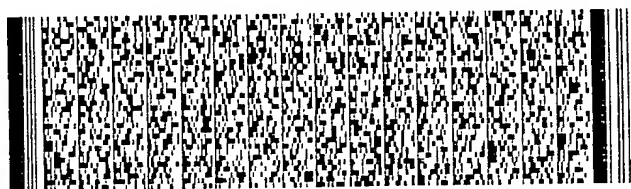
該非晶質矽緩衝層202係本發明之主要特徵，由於非晶質矽不僅具有相當高的密度，提供阻擋玻璃基板中的雜質於後續製程中擴散進入元件作用層(例如：半導體活性層)之功效，再者，而且非晶質矽具有高導阻係數的特點，可使後續進行雷射退火結晶(ELA)製程使非晶質矽轉變為多晶矽時，改變散熱的狀態，使得結晶的均勻性得以提昇，便可提升電子遷移率。

以下請參閱第3A圖至第3E圖，將簡單說明採用本發明之非晶矽薄膜電晶體的製作過程。首先，如第3A圖所示，在基板200表面依序例如以適當沉積(deposition)方法形成非晶質矽緩衝層202、氧化矽層204以及非晶質矽活性層



五、發明說明 (6)

206。其中，非晶質矽層202可利用電漿增進式化學氣相沉積法(plasma enhanced chemical vapor deposition; PECVD)形成，其前驅物包括矽烷氣體，例如： SiH_4 、 Si_2H_6 ，其氫含量約為1~5%。接著，如第3B圖所示，實施一雷射退火結晶(ELA)程序，瞬間照射並且加熱非晶質矽活性層206，此時，非晶質矽活性層206會再結晶(recrystallize)。由於非晶質矽緩衝層202具有高熱導係數的特點，使得進行雷射退火結晶程序時熱能於非晶質矽活性層206可快速散去，便使非晶質矽活性層206所轉變成的多晶矽206a時，改變散熱的狀態，使得結晶的均勻性得以提昇，如此一來，便可形成具有均勻性較佳的多晶矽活性層206a，因此，可提升電子遷移率。然後，如第3C圖所示，圖案化非晶質矽緩衝層202、氧化矽層204以及多晶矽活性層206a，以形成所需之圖案。為增加後續各層的披覆黏著性，可將非晶質矽緩衝層202、氧化矽層204以及多晶矽活性層206a分別圖案化成階梯狀堆疊。然後，如第3D圖所示，在多晶矽活性層206a上沉積一氧化層208，然後在氧化層208上沉積一金屬層，並且對金屬層圖案化以形成閘極210。然後，如第1E圖所示，先利用離子佈值程序在上述多晶矽活性層206a未被閘極214遮蓋的部分分別形成源極S與汲極區域D。最後，先在氧化層208及閘極210表面形成一介電層212，並且利用蝕刻的技術在上述源極S與汲極D區域上形成接觸孔，填入導電插塞(plug)214於接觸孔中，以便與其他部分的電路相連接。



五、發明說明 (7)

如前所述，請參照第2圖，本發明也可視需求而定增加設置一氮化物緩衝層302(例如：氮化矽 SiN_x)於玻璃基板300與非晶質矽層(a-Si)304之間，其他各部分皆與第1圖所顯示之結構相同。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做各種的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係顯示根據本發明之緩衝層之一較佳實施例之結構剖面圖。

第2圖係顯示根據本發明之緩衝層之另一較佳實施例之結構剖面圖。

第3A圖至第3E圖係顯示根據本發明之緩衝層製作薄膜電晶體之一較佳實施例之製程剖面圖。

符號說明：

200、300~基板；

202、304~非晶質矽層；

204、306~氧化矽緩衝層；

206、308~非晶質矽活性層；

206a~多晶矽活性層；

208~氧化層；

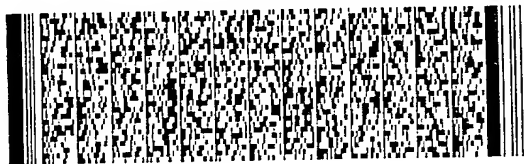
210~閘極；

S~源極；

D~汲極；

212~介電層；

214~導電插塞。



六、申請專利範圍

1. 一種可促進電子遷移率提升之緩衝層，適用於一薄膜電晶體平面顯示器之基板表面，上述緩衝層包括：

一非晶質矽層(a-Si)，設置於上述基板表面；以及一氧化層，設置於上述非晶質矽層表面。

2. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述氧化層包括：氧化矽(SiO_x)。

3. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述氧化層之厚度大體為1000~2000 Å。

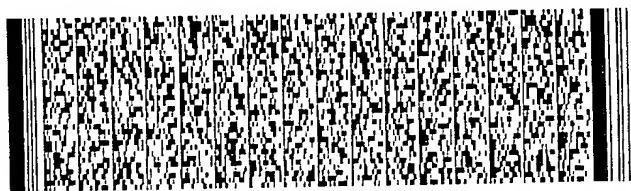
4. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述氧化層係利用電漿增進式化學氣相沉積法(plasma enhanced chemical vapor deposition; PECVD)形成。

5. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述氧化層之密度大體為2.0~2.2 g/cm³。

6. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質矽層(a-Si)之厚度大體為250~1000 Å。

7. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質矽層(a-Si)之密度大體為2~2.3 g/cm³。

8. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質矽層(a-Si)之氫含量大體為



六、申請專利範圍

5~10%。

9. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質矽層(a-Si)係利用電漿增進式化學氣相沉積法(plasma enhanced chemical vapor deposition; PECVD)形成。

10. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述緩衝層更包括：一氮化物緩衝層，設置於上述基板與上述非晶質矽層(a-Si)之間。

11. 如申請專利範圍第1項所述之可促進電子遷移率提升之緩衝層，其中上述氮化物緩衝層包括氮化矽 SiN_x 。

12. 一種可促進電子遷移率提升之緩衝層，適用於一薄膜電晶體之基板表面，上述緩衝層包括：

一非晶質層，設置於上述基板表面；以及

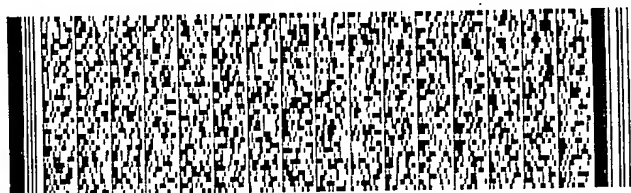
一結晶層，設置於上述非晶質層表面。

13. 如申請專利範圍第12項所述之可促進電子遷移率提升之緩衝層，其中上述結晶層包括：氧化物。

14. 如申請專利範圍第12項所述之可促進電子遷移率提升之緩衝層，其中上述結晶層之厚度大體為1000~2000 Å。

15. 如申請專利範圍第12項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質層包括：非晶質矽(a-Si)。

16. 如申請專利範圍第12項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質層之厚度大體為250~1000



六、申請專利範圍

Å。

17. 如申請專利範圍第12項所述之可促進電子遷移率提升之緩衝層，其中上述非晶質層之氫含量小於10%。

18. 如申請專利範圍第12項所述之可促進電子遷移率提升之緩衝層，其中上述緩衝層更包括：一氮化矽 SiN_x 緩衝層，設置於上述基板與上述非晶質層之間。

19. 一種具有可促進電子遷移率提升之緩衝層的薄膜電晶體，包括：

一基底；

一緩衝層，設置於上述基底表面，上述緩衝層包括：

一非晶質層，設置於上述基板表面；以及

一結晶層，設置於上述非晶質層表面；

一活性層，設置於上述結晶層表面；

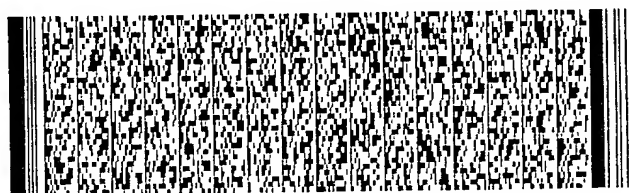
一絕緣層，順應性覆蓋於上述活性層表面與上述非晶質矽層、上述結晶層以及上述活性層之側壁；

一導電層，設置於部分上述活性層上方之上述絕緣層表面；以及

一介電層，全面性覆蓋於上述結晶層與上述導電層表面；

其中，未被上述導電層遮蔽之上述活性層分別被摻雜成一汲極與一源極。

20. 如申請專利範圍第19項所述之具有可促進電子遷移率提升之緩衝層的薄膜電晶體，其中上述結晶層包括：氧化物。



六、申請專利範圍

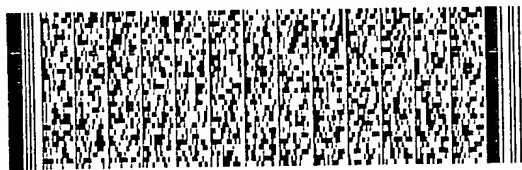
21. 如申請專利範圍第19項所述之具有可促進電子遷移率提升之緩衝層的薄膜電晶體，其中上述結晶層之厚度大體為1000~2000 Å。

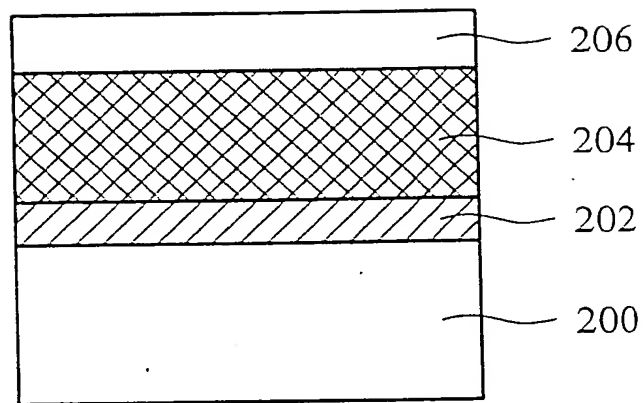
22. 如申請專利範圍第19項所述之具有可促進電子遷移率提升之緩衝層的薄膜電晶體，其中上述非晶質層包括：非晶質矽(a-Si)。

23. 如申請專利範圍第19項所述之具有可促進電子遷移率提升之緩衝層的薄膜電晶體，其中上述非晶質層之厚度大體為250~1000 Å。

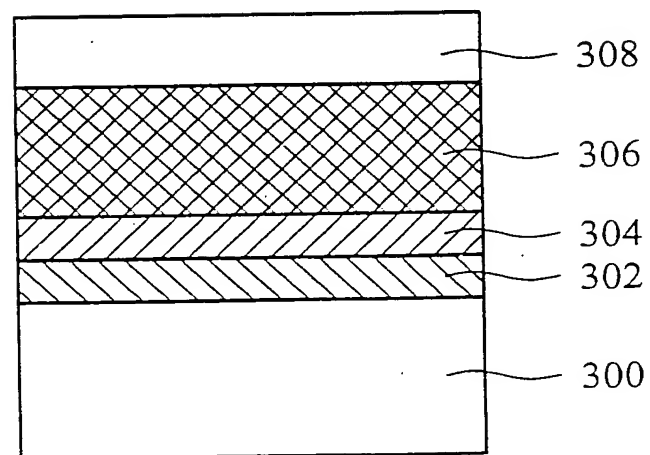
24. 如申請專利範圍第19項所述之具有可促進電子遷移率提升之緩衝層的薄膜電晶體，其中上述非晶質層之氫含量小於10%。

25. 如申請專利範圍第19項所述之具有可促進電子遷移率提升之緩衝層的薄膜電晶體，其中上述緩衝層更包括：一氮化矽 SiN_x 緩衝層，設置於上述基板與上述非晶質層之間。

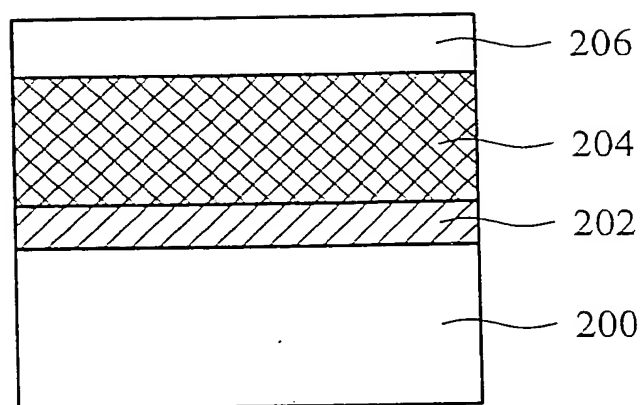




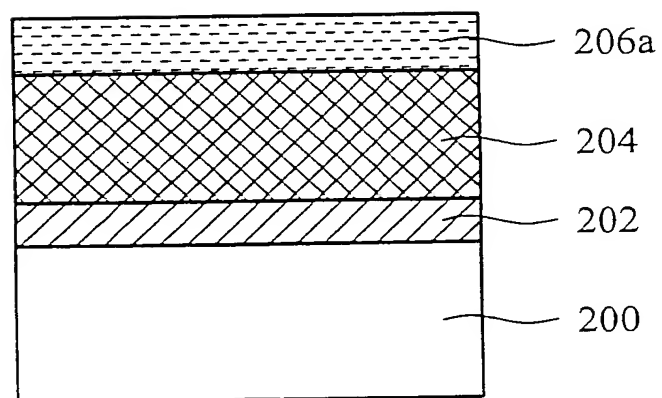
第 1 圖



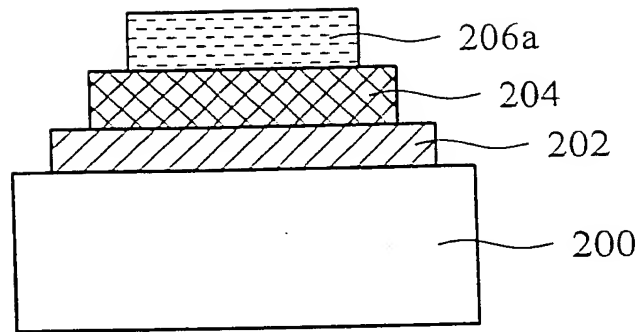
第 2 圖



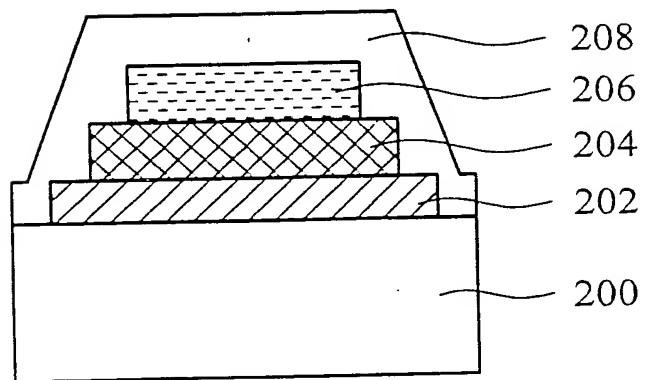
第3A圖



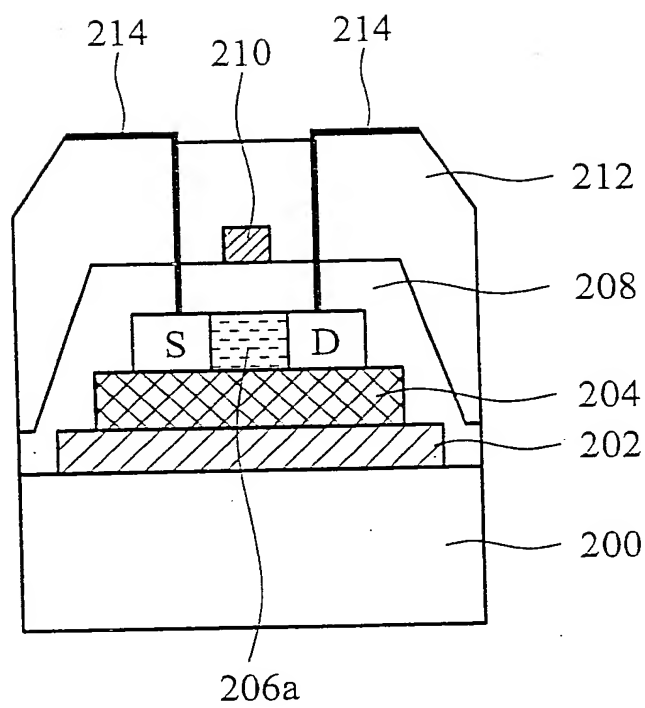
第3B圖



第 3C 圖

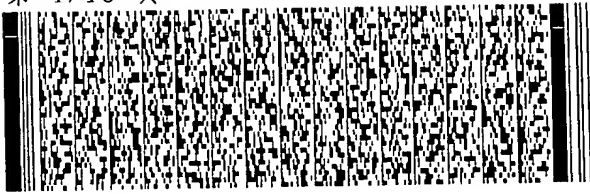


第 3D 圖

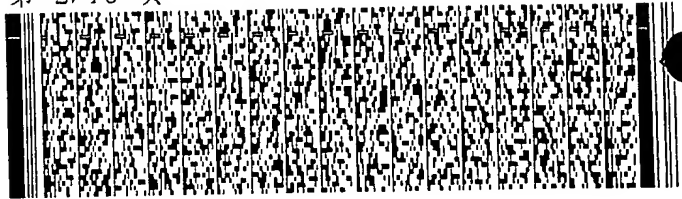


第3E圖

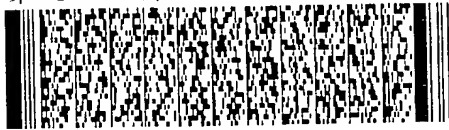
第 1/16 頁



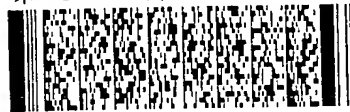
第 2/16 頁



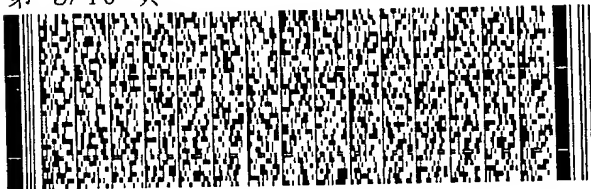
第 3/16 頁



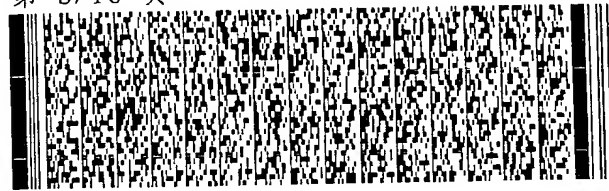
第 4/16 頁



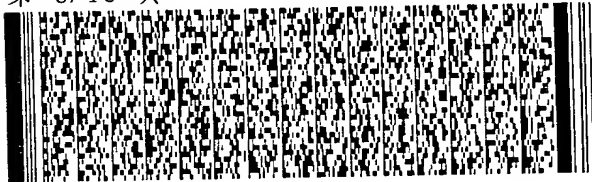
第 5/16 頁



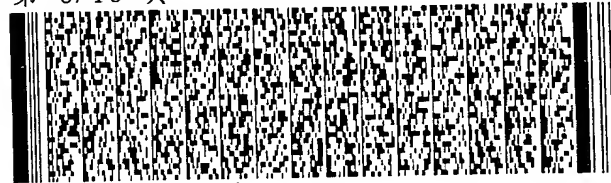
第 5/16 頁



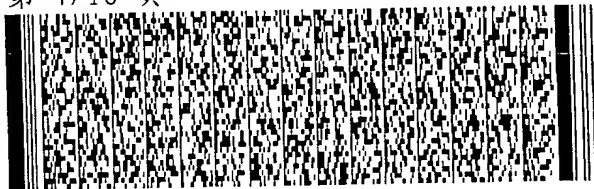
第 6/16 頁



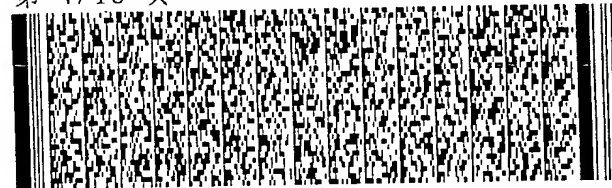
第 6/16 頁



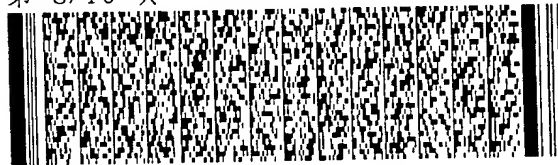
第 7/16 頁



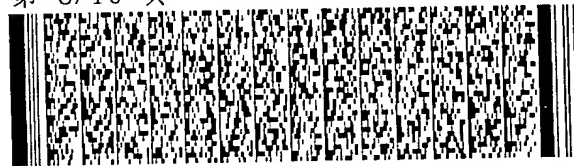
第 7/16 頁



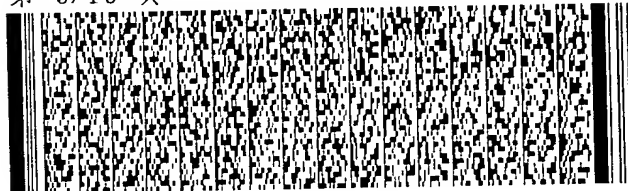
第 8/16 頁



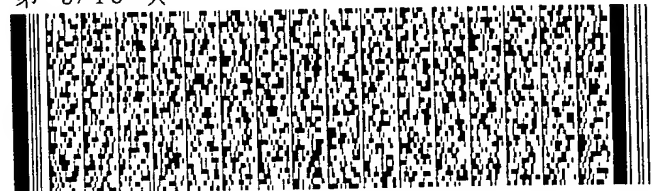
第 8/16 頁



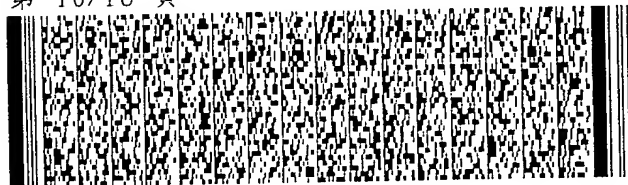
第 9/16 頁



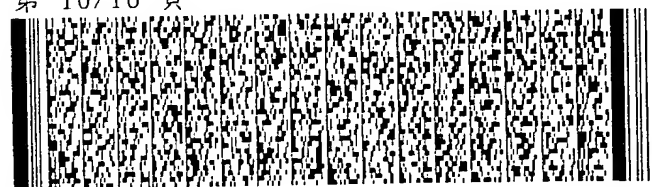
第 9/16 頁



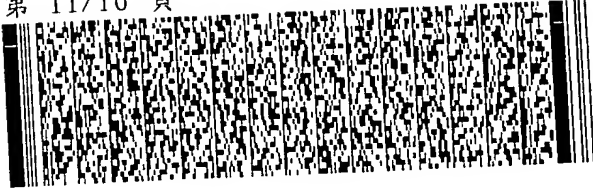
第 10/16 頁



第 10/16 頁



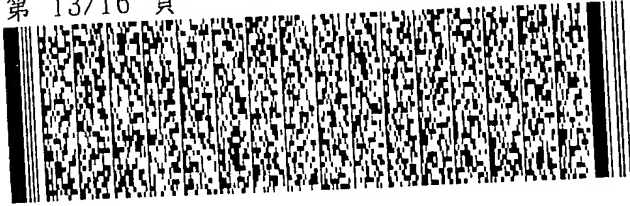
第 11/16 頁



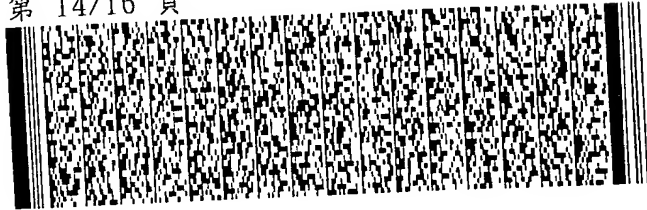
第 12/16 頁



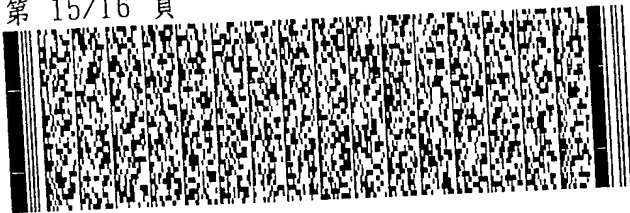
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

